

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-057294

(43)Date of publication of application : 25.02.1992

(51)Int.Cl.

G11C 16/04  
H01L 27/115  
H01L 29/788  
H01L 29/792

(21)Application number : 02-164849

(71)Applicant : RICOH CO LTD

(22)Date of filing : 22.06.1990

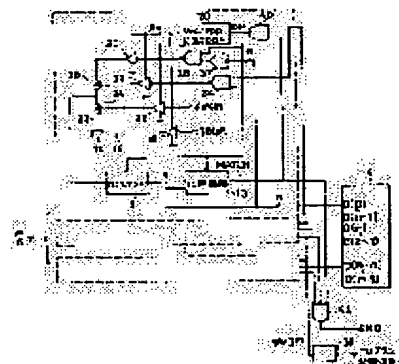
(72)Inventor : OKUBO HIDE

## (54) PROGRAMMABLE NON-VOLATILE SEMICONDUCTOR MEMORY

## (57)Abstract:

PURPOSE: To realize a multilevel memory by reading a memory cell when the memory cell is programmed, comparing the data with an input data and continuing a programming operation until the write state of the memory cell is matched with the input data.

CONSTITUTION: When a program control signal is made L, a program pulse  $\Phi_{pgm}$  is outputted from a pulse generating circuit 38. With this program pulse  $\Phi_{pgm}$ , a program pulse  $\Phi_p$  is outputted from an AND circuit 40. According to the level of the pulse  $\Phi_p$ , a power supply voltage  $V_{pp}$  and a power supply voltage  $V_{cc}$  are alternately outputted from a switching circuit 20. The  $V_{pp}$  is impressed to a Y gate 24 of a word line 160 to be designated by an address to be impressed from the outside. According to the input data impressed from the outside, an inverter 30 supplies a high voltage approximate to the  $V_{pp}$  or a GND potential through a NOR circuit 37 and a NAND circuit 36 to a bit line 22. Then, the input data is written.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A) 平4-57294

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月25日

G 11 C 16/04  
H 01 L 27/115  
29/788  
29/792

9191-5L G 11 C 17/00 3 0 8  
8831-4M H 01 L 27/10 4 3 4  
7514-4M 29/78 3 7 1

審査請求 未請求 請求項の数 2 (全9頁)

⑮ 発明の名称 プログラム可能な不揮発性半導体メモリ装置

⑯ 特 願 平2-164849

⑰ 出 願 平2(1990)6月22日

⑱ 発 明 者 大 久 保 秀 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

⑳ 代 理 人 弁 理 士 野 口 繁 雄

## 明 細 書

## 1. 発明の名称

プログラム可能な不揮発性半導体メモリ装置

## 2. 特許請求の範囲

(1) プログラム可能な不揮発性半導体メモリ素子を備えたセルアレイと、外部から入力された3値以上のデータを一時保持するデータラッチ回路と、前記セルアレイの選択されたメモリセルの3値以上の記憶状態を読み出すセンスアンプと、前記セルアレイの選択されたメモリセルへプログラムを行なうプログラム回路と、前記データラッチ回路の保持データと前記センスアンプ出力を比較する比較回路と、この比較回路の出力を入力し前記センスアンプ出力が前記データラッチ回路の保持データに一致するまで前記プログラム回路によるプログラム動作を続行させるプログラム制御回路とを備えた半導体メモリ装置。

(2) 特定のデータ入力値のときにはプログラム回路によるプログラム動作を禁止させる回路をさらに備えた請求項1に記載の半導体メモリ装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明はEPROMやEEPROM(電氣的消去書き込み可能ROM)などの電氣的にプログラム可能なROM(リードオンリーメモリ)素子を備えた半導体メモリ装置に関するものである。

(従来技術)

半導体メモリ装置では、EPROMなどのメモリ素子の集積度を向上させるためにメモリ素子の微細化が進められている。しかし、素子を微細化するにも製造上の問題などがあり、微細化には限界がある。

マスクROMにおいては、集積度を向上させる手段として、1個のメモリ素子に3値以上のデータを記憶させる多値メモリ方式がある。

(発明が解決しようとする課題)

電氣的にプログラム可能なROMでは、メモリセルに3値以上を書き込む有効な制御手段がなく、今まで実現されていない。

本発明はプログラム可能なROMにおいて、多

値プログラム方式を実現し、プログラム可能な高集積度メモリ装置を提供することを目的とするものである。

(課題を解決するための手段)

第1図に本発明を示す。

2はEPROMやEEPROMなどの電氣的にプログラム可能な不揮発性半導体メモリ素子を備えたセルアレイ、4は外部から入力された3値以上のデータを一時保持するデータラッチ回路、6はセルアレイ2の選択されたメモリセルの3値以上の記憶状態を読み出すセンスアンプ、8はセルアレイ2の選択されたメモリセルへプログラムを行なうプログラム回路、10はデータラッチ回路4の保持データとセンスアンプ6の出力を比較する比較回路、12は比較回路10の出力を入力しセンスアンプ6の出力がデータラッチ回路4の保持データに一致するまでプログラム回路8によるプログラム動作を続行させるプログラム制御回路である。

本発明の好ましい態様においては、特定のデー

ように、選択されたメモリセルへの書き込みデータが入力データに一致するまで書き込みが続行される。

入力データは3値以上の多値状態をとり、どの状態のデータであってもセルアレイ2のメモリセルにはその入力データの書き込みがなされる。

入力データが全て“1”のような特定のデータでは、プログラムを行なう必要がないので、プログラム禁止回答があればプログラム時間が短縮される。

(実施例)

第2図は本発明をEPROMメモリ装置に適用した実施例を表わしている。

ここで、N値メモリを考え、データビット幅をmとし、 $n = \log_2 N$ とすると、セルアレイはm/n個のブロックに分割され、これらのブロックを同時に動作させることができる。破線で囲まれた各ブロックは同じ構成をしているので1個のブロックについて詳細に説明する。

各ブロックには多数のメモリセル14が配列されており、書き込み(プログラム)と読出しを行な

う入力値のときにはプログラム回路8によるプログラム動作を禁止させる回路がさらに備えられる。(作用)

セルアレイ2のメモリセルにデータをプログラムする場合、アドレスが入力されてセルアレイ2のプログラムしようとするメモリセルが選択され、データラッチ回路4にはそのメモリセルにプログラムしようとするデータが一時保持される。データラッチ回路4に保持された入力データがプログラム制御回路12によりプログラム回路8を通じてセルアレイ2の選択されたメモリセルに書き込まれる。続いてそのメモリセルの書き込みデータがセンスアンプ6により読み出され、読み出されたデータとデータラッチ回路4に保持されている入力データとが比較回路10で比較され、その比較の結果、書き込まれたデータが入力データに一致していなければプログラム制御回路12によりプログラム回路8を通じてさらにそのメモリセルへの書き込みが続けられ、その後再び書き込まれたデータと入力データとの比較が行なわれる。この

うために各ブロックで1個のメモリセル14が列選択アドレス信号と行選択アドレス信号により選択される。メモリセル14を選択するために、そのワードライン(コントロールゲート)16にはインバータ18を経て $V_{cc}/V_{pp}$ 切替え回路20からの電圧AVが印加される。インバータ18は行選択アドレス信号によりオン・オフ動作を行なう。メモリセル14のビットライン22にはYゲート24が接続され、Yゲート24のゲート電極には列選択アドレス信号によりオン・オフ動作するインバータ26を経て $V_{cc}/V_{pp}$ 切替え回路20からの電圧AVが印加される。

ビットライン22にはさらにMOSトランジスタ28及びインバータ30を経て $V_{cc}/V_{pp}$ 切替え回路20から電圧AVが印加される。MOSトランジスタ28はメモリセル14への書き込みの際にはオンとなり、読出しの際にはオフとなるように、NAND回路34の出力によりオン・オフ動作を行なうインバータ32を経てMOSトランジスタ28のゲート電極には $V_{cc}/V_{pp}$ 切替え回路

20からの電圧AVが印加される。

インバータ30はメモリセル14への書込みデータがある間はオンとなるように、NAND回路36の出力が入力され、NAND回路36にはAND回路40からのプログラムパルスΦpとNOR回路37の出力が入力される。NOR回路37にはnビットのデータが入力され、そのnビットがすべて“1”であってプログラムを行なう必要のない場合にはこのNOR回路37の出力がローレベルとなってインバータ30をオフとし、プログラム動作を禁止する。

データラッチ回路4には入力データDが保持され、各ブロックにnビットずつのデータを供給する。

38はプログラムパルス発生回路であり、プログラム制御信号が入力されるとプログラムパルスΦpgmが発生し、プログラムパルスΦpgmは各ブロックのAND回路40とNAND回路34に入力される。AND回路40の他方の入力に比較回路10の出力信号MATCH(書込みが終了するまでハ

イレベル)が入力される。AND回路40の出力であるプログラムパルスΦpは書込みを続行する間出力されるものであり、Vcc/Vpp切替え回路20、NAND回路36、34、センスアンプ6及び比較回路10にそれぞれ供給される。

センスアンプ6は後述の第7図で一例が示されるような構成をとるものであり、3値以上の記憶レベルを検出することができる。センスアンプ6はエンコーダを含んでおり、検出レベルをnビットデータとして出力する。

比較回路10はセンスアンプ6の出力とデータラッチ回路4からのデータとを比較する回路であり、両方のデータが一致するまではその出力レベルがハイレベルであり、一致すればローレベルに変わる信号を出力する。

各ブロックの比較回路10の出力はNAND回路42に入力され、全てのブロックでの書込みが終了して各比較回路10の出力が全てローレベルになると、NAND回路42の出力であるEND信号がハイレベルとなって書込みが終了する。

第2図中のインバータ18、26、32、30の一例を第3図に示す。このインバータはCMOS構成をとっており、電源電圧としてVcc/Vpp切替え回路20の出力AVが与えられる。

第2図中の比較回路10の一例を第4図に示す。入力信号であるセンスアンプ6の出力と入力データのビット数に該当する数のエクスクルーシブNOR(Ex. NOR)回路を備えている。この場合は、一例として4値メモリを考えるとすれば、2個のEx. NOR回路44-0と44-1が設けられ、それぞれには対応するビットのセンスアンプ出力と入力データD0、D1が入力される。各Ex. NOR回路44-0、44-1の出力はプログラムパルスΦpとともにOR回路46に入力され、両Ex. NOR回路44-0と44-1がともにその出力がローレベルになり、すなわち各ビットのデータが一致したときにOR回路46の出力がローレベルとなる。

次に、本実施例の動作を第2図と第5図を参照して説明する。

プログラム制御信号がローレベルとなることにより、プログラムパルス発生回路38からプログラムパルスΦpgmが出力される。AND回路40からはプログラムパルスΦpgmにともなってプログラムパルスΦpが出力され、Vcc/Vpp切替え回路20からはプログラムパルスΦpのレベルに従ってプログラム電源電圧Vppと読出し電源電圧Vccとが交互に出力される。

プログラムパルスΦpのハイレベル期間がプログラム状態であり、ローレベル期間が読出し→比較の状態となる。プログラムパルスΦpがハイレベルにある期間では外部から印加されるプログラム電源電圧VppがVcc/Vpp切替え回路20の働きによりAV信号として与えられ、外部から印加されるアドレスで指定されたワードライン16及びYゲート24に電圧Vppが印加されることになる。また、外部から印加される入力データに従い、NOR回路37及びNAND回路36を経てインバータ30によりVppに近い高電圧又はGND電位がビットライン22に供給され、入力

データが書き込まれる。

プログラムパルスφ<sub>p</sub>がローレベルの期間はセンスアンプ6が活性化し、またNAND回路34、インバータ32を経てMOSトランジスタ28がオフとなってメモリセル14の情報が読み出される。この読出し結果と入力データとが一致すれば比較回路10の出力信号がローレベルとなり、このブロックのプログラムは終了する。不一致であれば次のプログラムパルスφ<sub>p</sub>によりプログラム→読出し→比較がもう1サイクル行なわれる。このサイクルは比較回路10の出力がローレベルとなるまで繰り返される。

全ブロックの比較回路10の出力がローレベルになると、NAND回路42からのEND出力がハイレベルとなる。このEND信号は外部に出力され、プログラム完了信号として用いられる。

上記の例では比較回路10の出力信号がローレベルとなるまで書き込み→読出し→比較のサイクルを繰り返すようにしているが、サイクル数に制限を設け、無駄なプログラム期間を費やさないよう

にすることもできる。

次に、センスアンプ6の例を第6図から第12図により説明する。

第6図は多値メモリのセンスアンプの説明に先立って2値メモリのセンスアンプを表わしたものである。鎖線で囲まれた回路はそれぞれビットライン22又はダミーライン50を一定電圧に維持する回路である。I<sub>cell</sub>はメモリセルに流れるオン電流、I<sub>ref</sub>はダミーのセルに流れるオン電流であるとする。MOSトランジスタT<sub>r1</sub>のドレイン電圧V<sub>ref</sub>はT<sub>r1</sub>がI<sub>cell</sub>を供給できるような電圧になっている。MOSトランジスタT<sub>r2</sub>とT<sub>r3</sub>が同じ特性をもつように設定しておけば、それぞれが電流I<sub>ref</sub>/2を供給することになる。したがって、このセンスアンプではI<sub>cell</sub>とI<sub>ref</sub>/2とを比較し、I<sub>ref</sub>/2の方が大きければ出力SAが低電位になり、I<sub>ref</sub>/2の方が小さければ出力SAが高電位になる。つまり、第6図のセンスアンプはI<sub>cell</sub>とI<sub>ref</sub>/2とを比較し、電圧として出力する2値読出しのセンスア

ンプということができる。

第6図のセンスアンプを4値読出しのセンスアンプに拡張した例を第7図に示す。

記憶する4値を0, 1, 2, 3とし、各々の状態でのメモリセル電流を0, 1/3, 2/3, 1(相対値)とする。この4値を検出するためには、第8図に示されるように、1/6(=I<sub>ref1</sub>)、1/2(=I<sub>ref2</sub>)、5/6(=I<sub>ref3</sub>)(相対値)の3つの基準電流があればよいことになる。ここで、

$$1/6 = (1/2) \times (1/3)$$

$$1/2 = (1/2) \times 1$$

$$5/6 = (1/2) \times (2/3 + 1)$$

であるので、第6図のセンスアンプでI<sub>ref</sub>をI<sub>cell</sub>/3とすればI<sub>ref1</sub>との比較が行なわれ、I<sub>ref</sub>をI<sub>cell</sub>とすればI<sub>ref2</sub>との比較が行なわれ、I<sub>ref</sub>を(2I<sub>cell</sub>/3 + I<sub>cell</sub>)とすればI<sub>ref3</sub>との比較が行なわれる。これらのI<sub>ref</sub>を実現するために、第7図にはそれぞれのダミーライン50-1~50-3にEPROMにてなるダ

ミーメモリセル回路REF1~REF3が接続されている。

第7図でREF1~REF3を実現するために、EPROMを配列する代わりに、例えばMOSトランジスタのゲート幅もしくはゲート長、又はゲート幅とゲート長の両方を適当に設定することにより基準電流I<sub>ref1</sub>~I<sub>ref3</sub>を設定することもできる。

第7図では各基準電流I<sub>ref1</sub>~I<sub>ref3</sub>との比較により得られる3個の出力信号SA1, SA2, SA3を2ビットのデジタル信号DB0, DB1とするためにエンコーダ52が設けられている。

エンコーダ52の一例を第9図に示す。3個の出力SA1~SA3から2ビットのデータDB1, DB0が次の表のように得られる。

	S A 1	S A 2	S A 3		D B 1	D B 0
0	0	0	0		0	0
1	1	0	0		0	1
2	1	1	0		1	0
3	1	1	1		1	1

第7図においてREF1～REF3をEEPROMに適用した例を第10図に示す。(A)はメモリセル、(B)～(D)はそれぞれREF1～REF3に対応している。第10図は1メモリセルが選択トランジスタTr11を有する2トランジスタ型の例を示したものであり、(A)のメモリセルを直列に配置して構成されている。

第10図(A)のメモリセルのセル電流I<sub>cell</sub>は主にメモリトランジスタTR12で律されるので、例えば第10図(B)を第11図のように変形することもできる。これは、メモリトランジスタを3個直列配置したものである。

第7図は4値ROMの例を示しているが、この

2の出力を入力し、OR回路64の出力をEND信号としている。

(発明の効果)

本発明ではメモリセルの3値以上の記憶状態を読み出すセンスアンプを設け、メモリセルへプログラムを行なった後にそのメモリセルを読み出して入力データと比較し、そのメモリセルの書き込み状態が入力データに一致するまでプログラム動作を続行させるようにしたので、電氣的にプログラム可能なROMで多値のプログラム制御を正確に行なうことができるようになり、多値メモリを実現することができる。

また、特定のデータ入力値のとき、つまりプログラムを行なう必要のないデータのときにはプログラム動作を禁止する機能を付加すれば、無駄なプログラム時間を省くことができる。

#### 4. 図面の簡単な説明

第1図は本発明を示すブロック図、第2図は一実施例を示す回路図、第3図は同実施例におけるインバータ回路の一例を示す回路図、第4図は同

考え方は容易に拡張することができるものであり、一般的にN値と表現すると、そのセンスアンプは第12図に示されるようになる。各基準電流は

$$I_{refi} = ((i-1)/(N-1) + i/(N-1)) \times I_{cell}$$
となる。N値のセンスアンプは(N-1)本のセンス出力を有するので、これをlog<sub>2</sub>Nビットのデータに変換するエンコーダ6cが必要になる。

第13図は第2図の実施例に、入力データが全て“1”の場合(プログラムする必要がない)にプログラムパルスφ<sub>pgm</sub>の発生を止めてプログラム時間を短縮する機能を付加した実施例を表わしている。

第13図では、第2図の実施例に、さらに入力データを全て入力とするAND回路60を設け、そのAND回路60の出力をプログラム制御信号とともにOR回路62に入力し、OR回路62の出力でプログラムパルス発生回路38を動作させるようにしている。AND回路60を設けたことにともない、OR回路64を設け、OR回路64の入力にAND回路60の出力とNAND回路4

実施例における比較回路の一例を示す回路図、第5図は同実施例の動作を示すタイミング図、第6図はセンスアンプの説明のための2値センスアンプを示す回路図、第7図は一実施例における4値センスアンプを示す回路図、第8図は4値センスアンプの比較レベルを示す図、第9図はセンスアンプにおけるエンコーダの一例を示す回路図、第10図はセンスアンプにおけるメモリセルと比較用ダミーセル部分を示す回路図、第11図はダミーセル部分の他の例を示す回路図、第12図は一般化した多値センスアンプを示すブロック図、第13図は他の実施例を示す回路図である。

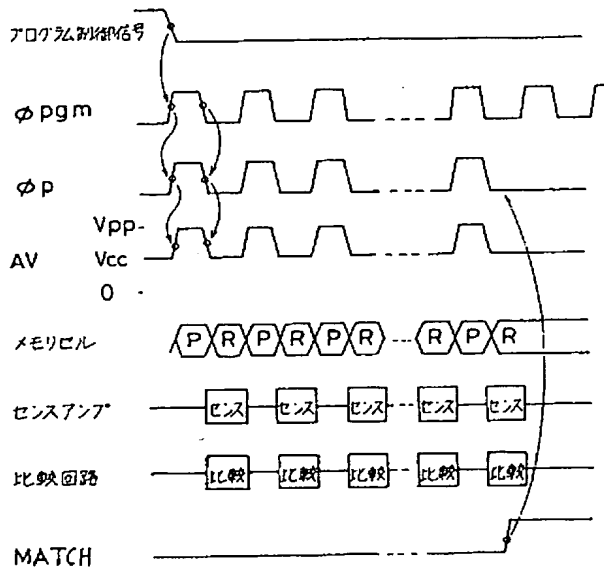
2……セルアレイ、4……データラッチ回路、6……センスアンプ、8……プログラム回路、10……比較回路、12……プログラム制御回路、14……メモリセル。

特許出願人 株式会社リコー  
代理人 弁理士 野口繁雄

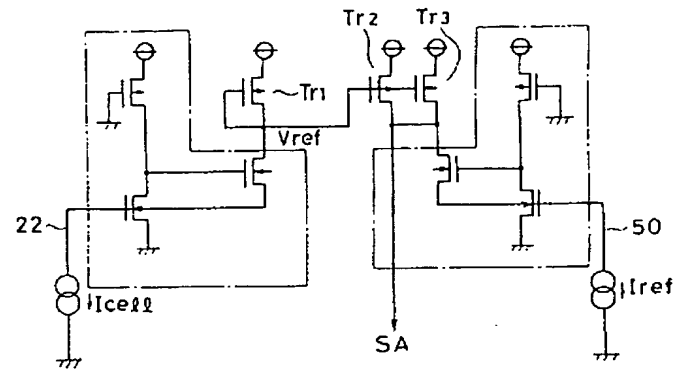




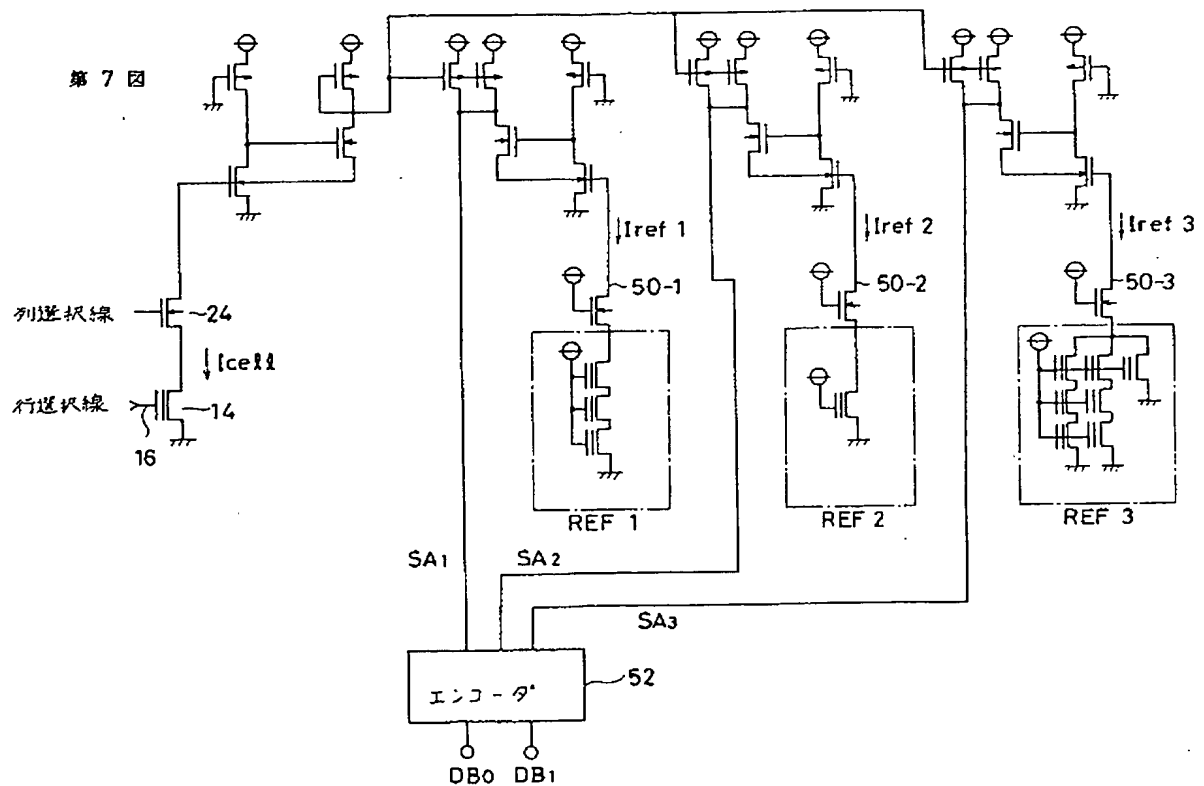
第5図



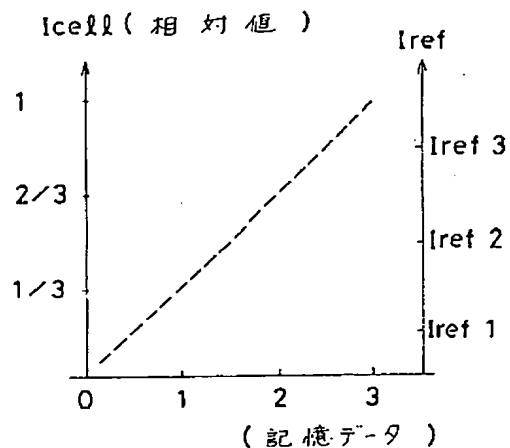
第6図



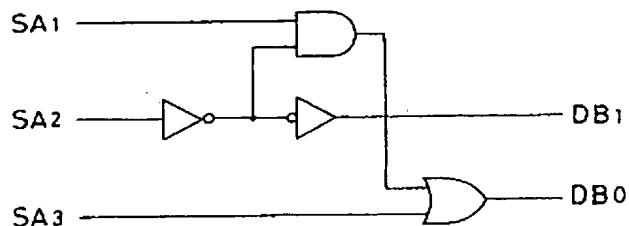
第7図



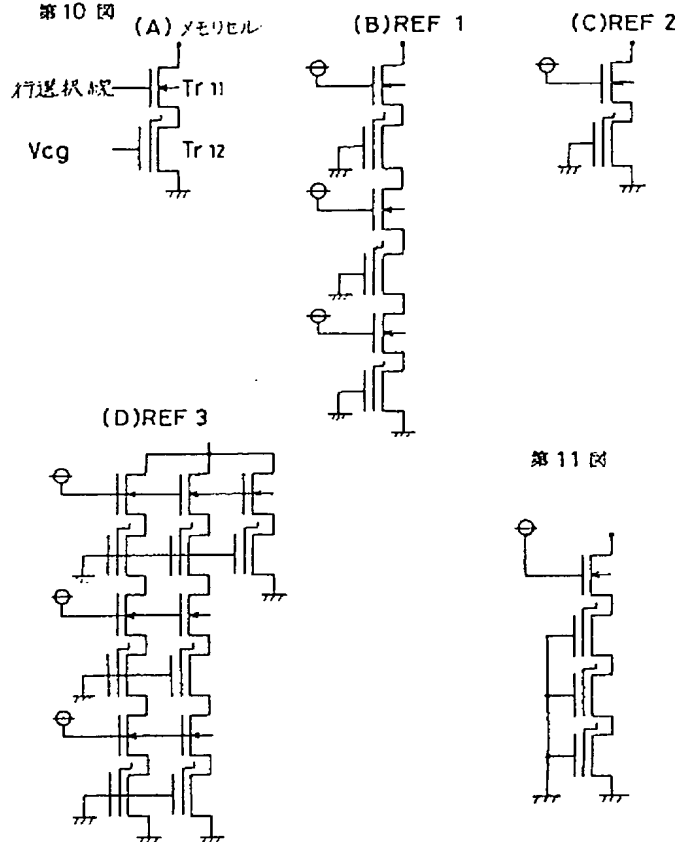
第8図



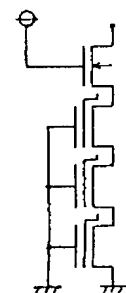
第9図



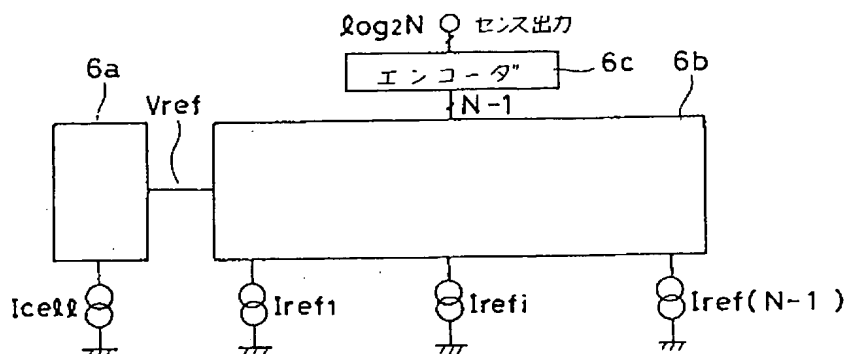
第10図



第11図



第12図



$$Irefi = \left( \frac{i-1}{N-1} + \frac{i}{N-1} \right) \times Icell$$

第 13 図

